

《数字逻辑与计算机组成》期末考试

(A 卷 · 回忆重构版)

南京大学 计算机科学与技术系

20____—20____ 学年第__学期 教师：周嵩／杨若瑜 李俊 袁春风 吴海军 考试方式：闭卷
系（专业）__计算机科学与技术__ 年级____ 班级____ 学号____ 姓名____ 成绩____

题号	一	二	三	四	总分
分数					

说明：本卷依据课程回忆版还原，仅供复习参考。

一、选择题（每小题 ~3 分，本部分共 20 分，为回忆所及的题目）

【得分：_____】

1. 已知三变量逻辑函数 $F(A,B,C) = \sum m(0,2,3,4,5,7)$ 。下列乘积项中，不是该函数质蕴涵项（prime implicant）的是（ ）。

A. AB	B. AC
C. BC	D. ABC

2. 指令集体系结构（ISA）是软硬件之间的接口。下列用户中，ISA 对其不透明（即必须了解其细节）的是（ ）。

A. 使用应用软件的最终用户	B. 高级语言程序员
C. 汇编语言程序员、编译器及操作系统开发者	D. 集成电路工艺设计者

3. 某机按字节编址，采用大端（big-endian）存储方式。若 32 位数据 0x12345678 存于以地址 0x2000 开始的连续 4 个字节中，则地址 0x2000 单元中存放的字节是（ ）。

A. 0x12	B. 0x34
C. 0x56	D. 0x78

4. 在字长相同的前提下，比较浮点数与定点整数的表示，下列说法正确的是（ ）。

A. 相同位数下，浮点数能表示的不同数值个数比整数多	B. 相同位数下，二者能表示的不同数值个数相同（均为 2^n 个），但浮点数表示范围更大、数值在数轴上分布不均匀、精度有限
C. 浮点数表示的任何数值都比整数更精确	D. 浮点数不能表示负数

5. 在冯·诺依曼结构计算机中，关于指令与数据的叙述，正确的是（ ）。

A. 指令和数据分别存放在两个互相独立的存储器中	B. 指令和数据都以二进制形式存放在同一存储器中，从形式（编码）上无法区分，由 CPU 在不同执行阶段（取指／执行）按用途加以区分
C. 数据可以被取出执行，而指令绝不会被当作数据处理	D. 指令所在地址必须恒小于数据所在地址

6. 对于一个确定的逻辑函数，下列说法正确的是（ ）。

A. 真值表唯一、最小项之和（标准与-或式）唯一，但最简与-或表达式和电路实现不一定唯一	B. 真值表、最小项之和、最简与-或式、电路图四者都唯一
C. 真值表不唯一	D. 最小项之和（标准与-或式）不唯一

二、组合逻辑设计题（共 8 分）

【得分：_____】

设计一个 8421BCD 码检测电路：输入为 4 位二进制数 B3B2B1B0（B3 为最高位，权为 8）。当输入是合法的 8421BCD 码（即 0~9）时输出 Y=1，否则 Y=0。

(1) (2分) 补全下面的真值表。

B3	B2	B1	B0	Y
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

(2) (4分) 画出 Y 的卡诺图，化简得到最简与-或表达式。

Y = _____

(3) (2分) 将 (2) 所得最简与-或表达式改写为最简与非-与非表达式（仅用与非门实现）。

三、时序逻辑设计题（共 22 分）

【得分：_____】

要求用 3 个 D 触发器 Q2、Q1、Q0 和尽可能少的门电路，设计一个带反馈的移位型序列发生器，使其在时钟作用下从某一输出端周期性地输出 8 位二进制序列 11101000（循环，周期为 8）。电路具有自启动能力。移位关系约定为：每个时钟 $Q2 \leftarrow Q1$, $Q1 \leftarrow Q0$, $Q0 \leftarrow F$ ，其中 F 为待设计的反馈函数 $F=f(Q2,Q1,Q0)$ 。

(1)（6 分）根据输出序列要求，补全状态转换表。

现态 Q2Q1Q0	次态 Q2*Q1*Q0*	反馈 F	输出
000			
001			
010			
011			
100			
101			
110			
111			

(2)（6 分）画出反馈函数 F 的卡诺图并化简，写出次态方程与各触发器的激励方程 D2、D1、D0。

F = _____

次态方程：Q2* = _____ Q1* = _____ Q0* = _____

激励方程：D2 = _____ D1 = _____ D0 = _____

(3)（4 分）根据激励方程补全电路图所有连线（含触发器、反馈门电路与时钟）。

电路图连线：_____

(4)（6 分）定时分析。

已知：触发器传播延迟（clk-to-Q） $t_{pd}=3\text{ ns}$ ，建立时间 $t_{su}=2\text{ ns}$ ，保持时间 $t_h=1\text{ ns}$ ，与门、或门延迟均为 $t_g=1\text{ ns}$ 。求该电路允许的最小时钟周期 T_{min} 及最高时钟频率 f_{max} ，并校验是否满足保持时间约束。

提示： $T \geq t_{pd} + t_{logic,max} + t_{su}$, $t_{pd} + t_{logic,min} \geq t_h$ 。

$T_{min} =$ _____ $f_{max} =$ _____ 保持时间校验：_____

四、指令系统与 CPU 综合题（共 50 分）

【得分：_____】

某 RV32I 处理器，相关指令的格式与功能如下（字段从高位到低位）：

指令	类型	格式（高 → 低）	功能
addi rd,rs1,imm	I 型	imm[11:0] · rs1 · funct3=000 · rd · op=0010011	$R[rd] \leftarrow R[rs1] + \text{SEXT}(imm)$
slti rd,rs1,imm	I 型	imm[11:0] · rs1 · funct3=010 · rd · op=0010011	$R[rd] \leftarrow (R[rs1] < \text{SEXT}(imm)) ? 1 : 0$ （带符号比较）
bne rs1,rs2,imm	B 型	imm[12 10:5] · rs2 · rs1 · funct3=001 · imm[4:1 11] · op=1100011	若 $R[rs1] \neq R[rs2]$ ，则 $PC \leftarrow PC + \text{SEXT}(imm)$ ，否则 $PC \leftarrow PC + 4$
jal rd,imm	J 型	imm[20 10:1 11 19:12] · rd · op=1101111	$R[rd] \leftarrow PC + 4$ ； $PC \leftarrow PC + \text{SEXT}(imm)$

寄存器 x0 恒为 0。假定执行前各通用寄存器初值均为 0。考虑如下汇编程序（行号见左侧）：

1	addi x5, x0, -18	# $R[x5] \leftarrow R[x0] + (-18)$
2	loop: bne x6, x0, finish	# 若 $R[x6] \neq R[x0]$ ，转移到 finish
3	addi x5, x5, 1	# $R[x5] \leftarrow R[x5] + 1$
4	slti x6, x5, 0	# 若 $R[x5] < 0$ ， $R[x6] \leftarrow 1$ ；否则 $R[x6] \leftarrow 0$
5	jal x0, loop	# 伪指令 j loop（无条件转移）
6	finish: addi x5, x5, 30	# $R[x5] \leftarrow R[x5] + 30$

问题 1（8 分）

写出第 1 行 addi x5,x0,-18 的机器码（分别用二进制和十六进制表示）。该行执行完后 R[x5] 的内容是什么（分别用二进制和十六进制表示）？

答：_____

—

问题 2（6 分）

- (a) 第 2 行 bne 指令在确定操作数和转移目标时分别使用了哪些寻址方式？
(b) 第 5 行 jal 指令的 R[d]（目的寄存器）是什么？
(c) 为什么本行的 jal（即 j）只能实现跳转而不能实现过程调用？

答：_____

—

问题 3（6 分）

程序结束时 R[x5]、R[x6] 的内容分别是什么（分别用二进制和十六进制表示）？

答：_____

—

下面给出该指令系统对应的单周期数据通路（不含控制器与数据存储器，已含 branch 与 jump 相关部件）。其结构为：

PC（程序计数器）→ ① 指令存储器取出指令；② 加法器计算 PC+4 与转移目标地址；指令低位经 ③ 立即数扩展器（受 ExtOp 控制做零扩展或符号扩展）送入运算通路；寄存器堆 GPRs 读出 busA、busB；busA 与（经 ALUBSrc 选择的 busB/立即数）送入 ④ ALU（受 ALUctr 控制），输出送回寄存器堆写口（受 RegWr 控制）；Branch/Jump 信号配合 ALU 的 Zero 标志控制 PC 的更新。

问题 4（6 分）

写出图中部件 ①~④ 以及 PC 的名称，并指出加粗部件 PC 属于时序逻辑还是组合逻辑；同时说明 ①~④ 各属于哪一类。

答：_____

—

问题 5 (10 分)

现需在该通路上增加一条 store 字指令 $sw: M[R[rs1]+SEXT(imm12)] \leftarrow R[rs2]$ 。

请补全与数据存储器相关的电路部分（写使能 WrEn、地址 Adr、写入数据 Di 的连接），并写出执行 sw 时下列各控制信号的取值：Branch、Jump、ALUASrc、ALUBSrc、RegWr、ExtOp、MemWr、以及 ALUctr（只需写出 ALU 完成的运算）。

答：_____

—

问题 6 (10 分)

程序中第一次执行 slti（set less than

immediate）时，写出下列控制信号的取值：Branch、Jump、ALUASrc、ALUBSrc、RegWr、ExtOp、ALUctr（只需写出 ALU 运算）；并写出此时 ALU 内部加法器产生的四个标志位 OF、ZF、SF、CF 的值。

答：_____

—

问题 7 (2 分)

该程序从开始到结束一共执行了多少条指令？若时钟周期为 800 ps（单周期处理器），程序总执行时间为多少 ns？

答：_____

—

问题 8 (10 分)

改用五段流水线处理器执行该程序，已知：采用转发（forwarding）技术；寄存器读口、写口分离，不存在结构冒险；分支预测正确率为 80%，预测失败时损失 2 个时钟周期。请回答：

- (a) 程序中哪些指令之间存在数据相关？其中哪些可以用转发技术消除而无需阻塞？
- (b) 哪些指令可能产生控制冒险？
- (c) 该程序的 CPI 是多少（四舍五入保留两位小数）？
- (d) 若时钟周期为 200 ps、运行中无异常中断，程序总执行时间为多少 ns？

答：_____

—

重构说明（哪些是回忆原有、哪些是补充细节）

- 回忆已明确：六道选择题的考点、BCD 检测三小问、3 个 D 触发器输出 “11101000” 及四小问、第四大题的指令集与全部 8 个小问。这些内容均按原意保留。

- 补充细节：选择题的具体函数 / 选项、BCD

题的位序约定、序列发生器的移位约定、定时分析的具体延迟数值（800 ps、200 ps 来自回忆，其余 tpd/tsu/th/tg 为便于计算所补）。

- 特别提醒：回忆里第四大题第 2 行写作 `bne x5,0,finish`，但按字面 `x5=-18≠0` 会立即跳出循环，使后续 `slti`、循环体形同虚设，且第 3 问无法给出有意义的 `x6`。这显然与“循环计数”的出题意图矛盾（编者本人也标注“记不清了”）。因此据自洽性重构为 `bne x6,x0,finish`（以符号标志 `x6` 作为循环控制），其余结构（第 5 行 `jloop` 作回边、第 6 行 `finish`）保持回忆原样。若有更确切的原题分支写法，可据此校正第 1/3/7/8 问的数值。

<试卷结束>